

5/ PR75

JC14 Rec'd. CT/PTO 10/528925  
PCT/DE2003/003264 23 MAR 2005

WO 2004/032323

1

## Beschreibung

Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal

Die Erfindung betrifft Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal als dynamische Spannungslevel-Shifter.

Aus der DE 195 02 116 C2 (MOS-Schaltungsanordnung zum Schalten hoher Spannungen auf einem Halbleiterchip) ist eine Realisierung einer integrierten Schaltung auf einem Halbleiterchip zum Schalten höherer Spannungen bekannt. Eine weitere Schaltung zum Schalten hoher Spannungen ist durch die WO 00/70763 bekannt.

Weitere Schaltungen sind durch DECLERCQ, M. u.a.: 5 V-to-75 V CMOS Output Interface Circuits, in: 1993 IEEE International Solid-State Circuits Conference, S.162-163; und BALLAN, H. u.a.: High voltage devices and circuits in standard CMOS technology, Kluwer Academic Publishers, 1999, S.182 ff.; bekannt. Dabei wird ein Konzept für einen statischen Level-Shifter vorgestellt, der aus einem sourcegekoppelten Differenzverstärker mit positiver Rückkopplung besteht. Durch die positive Rückkopplung ist der Verstärker mitgekoppelt und arbeitet als Flip Flop. Die digitale Signalfolge wird invertiert und nicht invertiert auf Transistoren geführt, die über den gesamten Spannungsbereich des Spannungslevel-Shifters arbeiten, das bedeutet, dass diese entsprechend spannungsfest ausgeführt sein müssen. Die Schaltung bildet einen so genannten Spannungsspiegel. Somit wird eine Spannung, welche die Größe des Logikpegel haben sollte, an die obere Spannungsschiene als eine Hochvolt-Versorgungsspannung gespiegelt. Die maximale Spannungsdifferenz zwischen der Schaltungsmasse und der Hochvolt-Versorgungsspannung wird nur von der Spannungsfestigkeit der beiden Transistoren bestimmt.

Aus der JP 2001 - 223 575 A ist ein Spannungslevel-Shifter mit einem Spannungssender mit Anschlüssen (VDD, VSS) für eine Kleinspannung und einem Spannungsempfänger mit Anschlüssen (HVDD, HVSS) für eine gegenüber der Kleinspannung hohen

WO 2004/032323

PCT/DE2003/003264

2

Spannung bekannt. Der Spannungsempfänger besteht aus einer ersten und einer zweiten Inverterschaltung. Der Ausgang einer Inverterschaltung des Spannungssenders ist über eine Kapazität (C1) als Hochspannungskapazität mit dem Eingang einer Inverterschaltung des Spannungsempfängers zusammengeschaltet.

Diese Schaltungen besitzen den Nachteil, dass ein kontinuierlicher Strom zwischen der Hochvolt-Versorgungsspannung und der Schaltungsmasse fließt, der ein wesentlicher Bestandteil der Verlustleistung ist. Diese steigt linear mit der zu überwindenden Spannungsdifferenz. Die Stromhöhe kann nicht beliebig klein gewählt werden, da die Transistorkapazitäten, hauptsächlich der Hochvolt-Transistoren, und parasitäre Schaltungskapazitäten (Leitbahnkapazitäten, Isolationskapazitäten) umgeladen werden müssen. Das beeinflusst sowohl die Verlustleistung als auch die Geschwindigkeit (Grenzfrequenz) der Schaltung. Für Mehrkanalanwendungen und Schaltungen mit hohen Spannungen ist diese Schaltungsvariante ungeeignet. Der zweite Nachteil liegt im Platzbedarf der Schaltungen. Die Hochvolt-Transistoren belegen jeweils nach Spannungsfestigkeit eine große Chipfläche. Bei mehrkanaligen Systemen addiert sich diese Fläche zu einem erheblichen Teil der Gesamtchipfläche.

Der im Patentanspruch 1 angegebenen Erfindung liegt das Problem zugrunde, eine Hochvolt-Schaltung zu schaffen, die Schaltsignalfolgen auf verschiedenen Spannungsebenen verarbeiten oder zur Verfügung stellen kann.

Dieses Problem wird mit den im Patentanspruch 1 aufgeführten Merkmalen gelöst.

Die Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal als dynamische Spannungslevel-Shifter zeichnen sich insbesondere dadurch aus, dass Schaltsignalfolgen auf verschiedenen Spannungsebenen verarbeitet oder zur Verfügung gestellt werden können. Ein wesentlicher Vorteil besteht darin, dass beliebige Technologien für integrierte Hochvolt-Schaltungen mit einer beliebigen Isolationsmethode zur Realisierung der erfindungsgemäßen Schaltungsanordnungen zum Umschalten hoher Spannungen angewandt werden können.

WO 2004/032323

PCT/DE2003/003264

Die Schaltungsanordnungen zum Umschalten hoher Spannungen, auch als dynamische Spannungslevel-Shifter bezeichnet, dienen dazu, digitale Signalpegel mit üblichen Spannungspegeln zwischen ca. 3 V bis 15 V über eine Potentialdifferenz von einigen Volt bis zu einigen hundert Volt (je nach verwendeter Technologie und Anwendung) auf einer anderen Spannungsebene zur Verfügung zu stellen. Dabei kann die Potentialdifferenz zwischen der Eingangsspannungsebene, die synonym als Spannungssender bezeichnet wird, und der Ausgangsspannungsebene, die synonym als Spannungsempfänger bezeichnet wird, sowohl positiv oder negativ sein als auch in der Potentialhöhe variieren.

Die Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal bestehen aus Inverterschaltungen. Die des Spannungssenders sind mit den Anschlüssen Vdd und Vss für eine Kleinspannung und die des Spannungsempfängers sind mit Anschlüssen Vddh1 und Vddh2 für eine gegenüber der Schaltungsmasse Vss hohen Spannung zusammengeschaltet. Die Verbindungen des Spannungssenders und des Spannungsempfängers erfolgen über Kapazitäten C1 und C2 als Hochvoltkapazitäten, so dass zwischen den Spannungsebenen in Form des Spannungssenders und des Spannungsempfängers kein kontinuierlicher Stromfluss vorhanden ist. Die Signalübertragung erfolgt mit Hilfe einer kleinen Ladungsmenge  $\Delta Q$ , die wechselseitig auf- und entladen wird. Damit ist ein Differentialbetrieb gegeben, so dass weiterhin vorteilhafterweise ein hoher Störabstand gegenüber parasitären Signaleinkopplungen aufgrund des Differentialprinzips, C1 wird um die Ladung  $\Delta Q$  aufgeladen und C2 gleichzeitig um die Ladung  $\Delta Q$  entladen und umgekehrt, erreicht wird. Die erforderlichen spannungsfesten Bauelemente der erfindungsgemäßen Schaltungsanordnung sind auf die zwei Hochvolt-Kapazitäten beschränkt. Diese können geschichtet ausgeführt werden, so dass ein kleiner Platzbedarf bei höheren Kapazitäten pro Fläche notwendig ist.

Die Inverterschaltungen des Spannungsempfängers sind kreuzgekoppelt, so dass im Spannungsempfänger keine Schutzdioden benötigt werden, um nachfolgende Bauelemente vor Spannungsspitzen zu schützen. Ein weiterer Vorteil dieser Kreuzkopplung

WO 2004/032323

PCT/DE2003/003264

4

besteht darin, dass kleinere Hochvolt-Kapazitäten C1 und C2 benötigt werden. Es müssen ausschließlich die parasitären Kapazitäten der kreuzgekoppelten Inverterschaltungen überwunden werden. Ihre Kapazität kann sehr klein sein, so dass auch reduzierte Chipflächen zur Realisierung dieser Kapazitäten notwendig sind.

Die erfindungsgemäßen Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal sind vorteilhafterweise richtungsunabhängig, so dass sowohl eine positive als auch eine negative Spannungsdifferenz zwischen dem Spannungssender und dem Spannungsempfänger überwindbar ist.

Damit eignen sich die erfindungsgemäßen Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal für Hochvolt-Schaltungen, die Schaltsignalfolgen auf verschiedenen Spannungsebenen verarbeiten oder zur Verfügung stellen. Anwendungen sind zum Beispiel Motortreiber-Schaltungen, Audio-Verstärker nach dem class-D-Prinzip oder Ansteuerschaltungen für elektrostatische Aktoren. Elektrostatische Aktoren sind unter anderem Piezokeramikstrukturen oder Schwenkspiegelarrays.

Vorteilhafte Ausgestaltungen der Erfindung sind in den Patentansprüchen 2 bis 9 angegeben.

Eine dritte Inverterschaltung zwischen den Anschlüssen Vdd und Vss, wobei deren Ausgang mit dem Eingang der ersten Inverterschaltung des Spannungssenders und deren Eingang sowohl mit dem Eingang der zweiten Inverterschaltung 4) des Spannungssenders als auch mit dem Anschluss IN als Eingang der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal zusammengeschaltet sind, nach der Weiterbildung des Patentanspruchs 3 führt dazu, dass ausgehend von einem Low-Signal am Eingang IN das Signal zweifach invertiert wird, so daß dieses phasengleich zum Eingangssignal auf die Kapazität C1 geführt wird. Über die zweite Inverterschaltung des Spannungssenders gelangt das Signal invertiert auf die Kapazität C2. Damit ist ein Differentialbetrieb gegeben.

WO 2004/032323

PCT/DE2003/003264

## 5

Eine vierte und eine fünfte Inverterschaltung zwischen den Anschlüssen Vddh1 und Vddh2, wobei der Eingang der vierten Inverterschaltung mit dem Eingang der ersten Inverterschaltung des Spannungsempfängers, der Eingang der fünften Inverterschaltung mit dem Eingang der zweiten Inverterschaltung des Spannungsempfängers, der Ausgang der vierten Inverterschaltung mit dem Anschluss OUT1 als erstem Ausgang des Spannungsempfängers und der Ausgang der fünften Inverterschaltung mit dem Anschluss OUT2 als zweitem Ausgang des Spannungsempfängers zusammengeschaltet sind, nach der Weiterbildung des Patentanspruchs 3 sind Ausgangsinverter, wobei ausgehend von einem Low-Signal am Eingang des Spannungssenders am Ausgang OUT1 ein Low-Signal bezogen auf die Hochvolt-Spannungsversorgung und am Ausgang OUT2 ein High-Signal bezogen auf die Hochvolt-Spannungsversorgung entstehen.

Eine sechste und eine siebente Inverterschaltung zwischen den Anschlüssen Vdd und Vss, wobei der Eingang der siebenten Inverterschaltung mit dem Eingang der dritten Inverterschaltung und mit dem Anschluss IN als Eingang der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal, der Ausgang der siebenten Inverterschaltung mit dem Eingang der sechsten Inverterschaltung und der Ausgang der sechsten Inverterschaltung mit dem Eingang der zweiten Inverterschaltung des Spannungssenders zusammengeschaltet sind, nach der Weiterbildung des Patentanspruchs 4 sind Treiberstufen. Dadurch gelangt das Signal ausgehend von einem Low-Signal am Eingang IN invertiert auf die Kapazität C2.

Die Weiterbildung des Patentanspruchs 5, wobei die Inverterschaltungen aus zwei in Reihe geschalteter komplementärer Transistoren bestehen, führt zu Inverterschaltungen mit nahezu idealen Verhalten. Beide Transistoren sind abwechselnd das aktive Element und das Lastelement. Im Ruhezustand ist der Leistungsverbrauch beim Einsatz von MOSFETs sehr gering. Diese sind nur durch Leckströme bedingt. Ein Leistungsverbrauch tritt nur während des Umschaltens und damit proportional zur Arbeitsfrequenz auf. Dieser entsteht durch die Umladung der Lastkapazitäten und zum geringen Teil durch einen Querstrom.

WO 2004/032323

PCT/DE2003/003264

## 6

Die Kapazitäten zur Signalübertragung zwischen dem Spannungssender und dem Spannungsempfänger werden entsprechend der Weiterbildung des Patentanspruchs 6 auf die zu überwindende Spannungsdifferenz aufgeladen. Zur Signalübertragung variiert ihr Betrag lediglich nur um  $\Delta Q$ , wobei der Leistungsverbrauch unabhängig von der zu überwindenden Spannungsdifferenz ist.

Eine Realisierung der Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal als mit Halbleiterprozessen hergestellte integrierte Halbleiterschaltungen zum Einen mit CMOS-Schaltungen als Inverterschaltungen und zum Anderen mit Schichtstapeln mit Kanalstopper-Implantation, Feldoxid, Polysilizium, CVD-Oxid, Metall, CVD-Oxid, Metall usw., wobei die Schichten wechselseitig elektrisch verschalten sind, als Kapazitäten nach der Weiterbildung des Patentanspruchs 7 erfüllen vorteilhafterweise die Forderungen nach geringem Leistungsverbrauch und geringem Platzbedarf.

Die Weiterbildung des Patentanspruchs 8, wobei der Spannungssender, die Kapazitäten und der Spannungsempfänger jeweils von Trenchgräben zur Spannungsisolation umgebende Gebiete sind, stellt eine günstige Realisierung dar.

Ein wesentlicher Vorteil der Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal besteht nach der Weiterbildung des Patentanspruchs 9 darin, dass Halbleiterprozesse für integrierte Hochvolt-Schaltungen mit beliebiger Isolation für den Spannungssender, die Hochvoltkapazitäten und den Spannungsempfänger angewandt werden können. Damit ergeben sich die vielfältigsten Realisierungsvarianten entsprechend ökonomischer Forderungen, verfahrenstechnischer Herstellungsvoraussetzungen und/oder geforderter Anwenderspezifika.

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und wird im folgenden näher beschrieben.

Es zeigen:

WO 2004/032323

PCT/DE2003/003264

7

- Fig. 1 ein Blockschaltbild der Basisschaltung einer Schaltungsanordnung zum Umschalten hoher Spannungen,
- Fig. 2 eine Realisierung der Basisschaltung einer Schaltungsanordnung zum Umschalten hoher Spannungen,
- Fig. 3 eine Schaltungsanordnung zum Umschalten hoher Spannungen,
- Fig. 4 eine Schaltungsanordnung zum Umschalten hoher Spannungen und
- Fig. 5 eine prinzipielle Darstellung von Gebieten einer Realisierung einer Schaltungsanordnung zum Umschalten hoher Spannungen auf einem Halbleiterchip.

Eine Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal als dynamischer Spannungslevel-Shifter besteht aus einem Spannungssender 2 mit den Anschlüssen Vdd 7, Vss 8 für eine Kleinspannung und einem Spannungsempfänger 1 mit den Anschlüssen Vddh1 11, Vddh2 12 für die gegenüber der Kleinspannung zwischen den Anschlüssen Vdd 7 und Vss 8 hohen Spannung aus jeweils einer ersten Inverterschaltung und einer zweiten Inverterschaltung. Die Fig. 1 zeigt ein Blockschaltbild der Basisschaltung einer Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal und die Fig. 2 eine Realisierung dieser Basisschaltung.

Die Inverterschaltungen des Spannungssenders 2 sind zwischen die Anschlüsse Vdd 7 und Vss 8, wobei Vss 8 die Schaltungsmasse ist, und die Inverterschaltungen des Spannungsempfängers 1 zwischen die Anschlüsse Vddh1 11 und Vddh2 12 geschaltet. Der Ausgang der ersten Inverterschaltung 3 des Spannungssenders 2 ist über eine erste Kapazität C1 als Hochspannungskapazität mit dem Eingang der zweiten Inverterschaltung 6 des Spannungsempfängers 1 und mit dem Ausgang der ersten Inverterschaltung 5 des Spannungsempfängers 1 und der Ausgang der zweiten Inverterschaltung 4 des Span-

WO 2004/032323

PCT/DE2003/003264

8

nungssenders 2 ist über eine zweite Kapazität C2 als Hochspannungskapazität mit dem Eingang der ersten Inverterschaltung 5 des Spannungsempfängers 1 und dem Ausgang der zweiten Inverterschaltung 6 des Spannungsempfängers 1 zusammengeschaltet (Darstellung in der Fig. 1). Die Eingänge der ersten Inverterschaltung 3 und der zweiten Inverterschaltung 4 jeweils des Spannungssenders 2 stellen einen nicht invertierenden und einen invertierenden Eingang dar. Die Ausgänge der ersten Inverterschaltung 5 und der zweiten Inverterschaltung 6 jeweils des Spannungsempfängers 1 sind Ausgangsknoten.

Die Inverterschaltungen 3, 4, 5, 6 bestehen jeweils aus zwei in Reihe geschalteten komplementären Transistoren (Darstellung in der Fig. 2). Dabei sind folgende Zuordnungen gegeben:

- erste Inverterschaltung 3 des Spannungssenders 2 Transistoren M3, M4,
  - zweite Inverterschaltung 4 des Spannungssenders 2 Transistoren M5, M6,
  - erste Inverterschaltung 5 des Spannungsempfängers 1 Transistoren M9, M10 und
  - zweite Inverterschaltung 6 des Spannungsempfängers 1 Transistoren M11, M12.
- Alle Transistoren sind MOSFETs (MOSFET - Abkürzung des metal oxide silicon field effect transistor).

Mit einer derartigen Realisierung entsteht zwischen dem Spannungssender 2 und dem Spannungsempfänger 1 und damit zwischen der Spannungsebene Vdd - Vss und der Spannungsebene Vddh1 - Vddh2 kein kontinuierlicher Stromfluss. Die Signalübertragung erfolgt mit Hilfe einer kleinen Ladungsmenge  $\Delta Q$ , die wechselseitig auf- und entladen wird. Aufgrund der kreuzgekoppelten Anordnung der ersten Inverterschaltung 5 des Spannungsempfängers 1 und der zweiten Inverterschaltung 6 des Spannungsempfängers 1 werden keine Schutzdioden benötigt, so dass kleine Kapazitäten C1, C2 jeweils als Hochvolt-Kapazitäten einsetzbar sind. Gleichzeitig kann sowohl eine positive als auch eine negative Spannungsdifferenz zwischen dem Spannungssender 2 und dem Spannungsempfänger 1 überwunden werden. Die durch die erfindungsgemäße Schaltungsanordnung zu überwindende Spannungsdifferenz liegt zwischen den Versorgungsspannungen zum Einen Vdd - Vss und zum Anderen Vddh1 - Vddh2, wobei diese ein positives als auch negatives Vorzeichen besitzen und gleichzeitig im Betrag variieren



WO 2004/032323

PCT/DE2003/003264

9

kann. Der maximale Betrag der zu überwindenden Spannungsdifferenz ist ausschließlich von der Spannungsfestigkeit der beiden Kapazitäten C1, C2 abhängig. Die Funktion besteht darin, dass die beiden Kapazitäten C1, C2 auf die zu überwindende Spannungsdifferenz aufgeladen werden und ihre Ladung anschließend lediglich um den kleinen Betrag

$$\Delta Q = C \times (V_{dd} - V_{ss}) / 1/$$

zur Signalübertragung variiert. Die Spannungsdifferenz ( $V_{dd}-V_{ss}$ ) entspricht der Niedervolt-Versorgungsspannung zwischen den Anschlüssen 7 und 8. Der Umladeimpuls bei einer Low-High-Flanke am Eingang N1 9 wird über die erste Inverterschaltung 3 des Spannungssenders 2, bestehend aus den Transistoren M3 und M4, auf die Kapazität C1 übertragen. Das am Knoten N2 10 invertiert anliegende Signal (High-Low-Flanke) wird gleichzeitig über die zweite Inverterschaltung 4 des Spannungssenders 2, bestehend aus den Transistoren M5 und M6, auf die Kapazität C2 übertragen. Die Kapazität C1 wird senderseitig um den Betrag aus Gleichung /1/ aufgeladen und die Kapazität C2 entladen (Differentialprinzip). Diese Ladung wird über die zu überwindende Spannungsdifferenz an den Spannungsempfänger 1 weitergegeben.

Durch die beschriebene Arbeitsweise kann der Stromverbrauch sehr stark reduziert werden und der Leistungsverbrauch der erfindungsgemäßen Schaltungsanordnung ist praktisch unabhängig von der zu überwindenden Spannungsdifferenz. Gleichzeitig garantiert das angewandte Differentialprinzip (C1 wird um  $\Delta Q$  aufgeladen, C2 wird um  $\Delta Q$  entladen und umgekehrt) einen hohen Störabstand gegenüber Gleichtaktstörsignale.

Weiterhin genügen sehr kleine Kapazitätswerte für die Kapazitäten C1, C2, da ausschließlich die parasitären Kapazitäten der kreuzgekoppelten Inverterschaltungen 5, 6 überwunden werden müssen. Gleichzeitig übernehmen diese die Schutzfunktion vor Über- oder Unterspannung der weiteren Schaltung. Ansonsten notwendige Schutzdioden können entfallen.

Bei einer ersten Ausführungsform des Ausführungsbeispiels ist

WO 2004/032323

PCT/DE2003/003264

10

eine dritte Inverterschaltung 15 zwischen die Anschlüsse Vdd 7 und Vss 8 so geschaltet, dass der Ausgang der dritten Inverterschaltung 15 mit dem Eingang der ersten Inverterschaltung 3 des Spannungssenders 2 und der Eingang der dritten Inverterschaltung 15 mit dem Eingang der zweiten Inverterschaltung 4 des Spannungssenders 2 und dem Anschluss IN 16 als Eingang der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal als dynamischer Spannungslevel-Shifter verbunden sind. Weiterhin sind eine vierte Inverterschaltung 17 und eine fünfte Inverterschaltung 18 zwischen die Anschlüsse Vddh1 11 und Vddh2 12 geschaltet. Dabei sind der Eingang der vierten Inverterschaltung 17 mit dem Eingang der ersten Inverterschaltung 5 des Spannungsempfängers 1, der Eingang der fünften Inverterschaltung 18 mit dem Eingang der zweiten Inverterschaltung 6 des Spannungsempfängers 1, der Ausgang der vierten Inverterschaltung 17 mit dem Anschluss OUT1 19 als erstem Ausgang des Spannungsempfängers 1 und der Ausgang der fünften Inverterschaltung 18 mit dem Anschluss OUT2 20 als zweitem Ausgang des Spannungsempfängers 1 zusammengeschaltet. Die dritte Inverterschaltung 15 ist ein Eingangsinverter für den Spannungssender 2 und die vierte Inverterschaltung 17 und die fünfte Inverterschaltung 18 sind Ausgangsinverter des Spannungsempfängers 1. Die Fig. 3 zeigt eine derartig realisierte Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal.

Die Versorgungsspannungen des Spannungssenders 2 zwischen den Anschlüssen Vdd 7 und Vss 8 und des Spannungsempfängers zwischen Vddh1 11 und Vddh2 12 haben jeweils die Größe von beispielsweise 12 V. Die zu überwindende Spannungsdifferenz zwischen Spannungssender 2 und Spannungsempfänger 1, daß heißt zwischen Anschluss Vss 8 und Anschluss Vddh1 11 beträgt beispielsweise 200 V. Daraus resultiert für die Kapazitäten C1, C2 ein Spannungsabfall von ca. 188 V.

Ausgehend von einem Low-Signal (ca. 0 V) am Eingang IN 16, wird das Signal zweifach invertiert (d.h. phasengleich zum Eingangssignal) durch die dritte Inverterschaltung 15, bestehend aus den Transistoren M1 und M2, und der ersten Inverterschaltung 3 des Spannungssenders 2, bestehend aus den Transistoren M3 und M4, auf die Kapazität C1

WO 2004/032323

PCT/DE2003/003264

11

geführt. Über die zweite Inverterschaltung 4 des Spannungssenders 2, bestehend aus den Transistoren M5 und M6, gelangt das Signal invertiert auf die Kapazität C2.

Damit ergibt sich für die Kapazität C1 ein Spannungsabfall von 188 V zwischen den Spannungspotentialen 0 V und 188 V, und für die Kapazität C2 ein Spannungsabfall von 188 V zwischen den Spannungspotentialen 12 V und 200 V jeweils bezogen auf die Schaltungsmasse am Anschluss Vss 8. Damit liegt am Ausgangsknoten N3 14 des Spannungsempfängers 1 ein Spannungspotential von ca. 188 V und am Ausgangsknoten N4 13 ein Spannungspotential von ca. 200 V an. Über die vierte Inverterschaltung 17, bestehend aus den Transistoren M7 und M8, entsteht am Ausgang OUT1 19 ein Low-Signal bezogen auf die Spannung zwischen Vddh1 11 und Vddh2 12, daß heißt ein Potential gegenüber dem Anschluss Vss 8 von ca. 188 V. Am Ausgang OUT2 20 ergibt sich über die fünfte Inverterschaltung 18, bestehend aus den Transistoren M13 und M14, ein High-Signal bezogen auf die Spannung zwischen Vddh1 11 und Vddh2 12, daß heißt ein Potential gegenüber Anschluss Vss 8 von ca. 200 V. Am Ausgang OUT1 19 steht demzufolge das Signal um die zu überbrückenden Spannungsdifferenz verschoben wieder zur Verfügung. Am Ausgang OUT2 20 kann das invertiert anliegende Signal abgegriffen werden.

Wechselt am Eingang IN 16 des Spannungssenders 2 das Low-Signal zu einem High-Signal erhöht sich die Ladung der Kapazität C1 um den Betrag  $\Delta Q$  und die Ladung auf der Kapazität C2 verringert sich um den Betrag  $\Delta Q$  (Gleichung /1/). Diese Ladungsänderung wird an den Spannungsempfänger 1 weitergegeben und führt dazu, dass die kreuzgekoppelte Inverterschaltung in den zweiten stabilen Zustand umkippt. Dadurch wechselt sowohl die vierte Inverterschaltung 17 ihr Ausgangssignal am Ausgang OUT1 19 auf ein High-Signal bezogen auf die Spannung zwischen Vddh1 11 und Vddh2 12 als auch die fünfte Inverterschaltung 18 ihr Ausgangssignal am Ausgang OUT2 20 auf ein Low-Signal bezogen auf die Spannung zwischen Vddh1 11 und Vddh2 12.

Bei einer zweiten Ausführungsform des Ausführungsbeispiels in Ergänzung der ersten Ausführungsform sind eine sechste Inverterschaltung 21 und eine siebente Inverter-

WO 2004/032323

PCT/DE2003/003264

12

schaltung 22 zwischen die Anschlüsse Vdd 7 und Vss 8 geschalten. Dabei sind der Eingang der siebenten Inverterschaltung 22 mit dem Eingang der dritten Inverterschaltung 15 und mit dem Anschluss IN 16 als Eingang der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal, der Ausgang der siebenten Inverterschaltung 22 mit dem Eingang der sechsten Inverterschaltung 21 und der Ausgang der sechsten Inverterschaltung 21 mit dem Eingang der zweiten Inverterschaltung 4 des Spannungssenders 2 zusammengeschaltet.

Die sechste Inverterschaltung 21, bestehend aus den Transistoren M15 und M16, und die siebente Inverterschaltung 22, bestehend aus den Transistoren M17 und M18, sind Treiberstufen (Darstellung in der Fig. 4).

In Abwandlung der ersten Ausführungsform gelangt das Signal ausgehend von einem Low-Signal (ca. 0 V) am Eingang IN 16 der Schaltungsanordnung über siebente Inverterschaltung 22, die sechste Inverterschaltung 21 und die zweite Inverterschaltung 4 des Spannungssenders 2 invertiert auf die Kapazität C2. Die weitere Funktion entspricht der der ersten Ausführungsform. Die Aufteilung auf mehrere hintereinander geschaltene Inverterschaltungen, in dieser Ausführungsform die siebente Inverterschaltung 22 und die sechste Inverterschaltung 21, führt zu höheren Treiberleistungen und damit steileren Schaltflanken.

Die Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal als dynamische Spannungslevel-Shifter können als mit Halbleiterprozessen hergestellte integrierte Halbleiterschaltungen zum Einen mit CMOS-Schaltungen (CMOS - Abkürzung von complementary metal oxide semiconductor) als Inverterschaltungen und zum Anderen Schichtstapel mit Kanalstopper-Implantation, Feldoxid, Polysilizium, CVD-Oxid (CVD - Abkürzung von chemical vapour deposition - chemische Dampfabcheidung), Metall, CVD-Oxid, Metall usw., wobei die Schichten wechselseitig elektrisch verschalten sind, als erste Kapazität C1 und als zweite Kapazität C2 realisiert werden. Die einzelnen Bestandteile der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal sind wie folgt Gebiete eines Halbleiterchips:

WO 2004/032323

PCT/DE2003/003264

13

- zwei Gebiete 23a, 23b sind der Spannungssender 2,
- ein Gebiet 24 ist die erste Kapazität C1,
- ein Gebiet 25 ist die zweite Kapazität C2 und
- ein Gebiet 26 ist der Spannungsempfänger 1, wobei die Gebiete jeweils von Trenchgräben 27 zur Spannungs isolation umgeben sind (Darstellung in der Fig. 5). Der Flächenbedarf für eine Kapazität C1, C2 von ca. 0,8 pF beträgt dabei zum Beispiel ca. 10 000  $\mu\text{m}^2$ .

Die Schaltungsanordnungen zur Überbrückung hoher Spannungen mit einem Schaltsignal können einkanalgig oder mehrkanalgig auf einem Halbleiterchip ausgeführt sein.

WO 2004/032323

PCT/DE2003/003264

14

## Patentansprüche

1. Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal, dadurch gekennzeichnet, dass ein Spannungssender (2) mit ersten und zweiten Anschlüssen (7/Vdd, 8/Vss) für eine Kleinspannung und ein Spannungsempfänger (1) mit dritten und vierten Anschlüssen (11/Vddh1, 12/Vddh2) für eine gegenüber der Kleinspannung zwischen den ersten und zweiten Anschlüssen (7/Vdd, 8/Vss) hohen Spannung aus jeweils einer ersten Inverterschaltung und einer zweiten Inverterschaltung bestehen, wobei die Inverterschaltungen des Spannungssenders (2) zwischen die ersten und zweiten Anschlüsse (7/Vdd, 8/Vss) und die Inverterschaltungen des Spannungsempfängers (1) zwischen die dritten und vierten Anschlüsse (11/Vddh1, 12/Vddh2) geschaltet sind, dass der Ausgang der ersten Inverterschaltung (3) des Spannungssenders (2) über eine erste Kapazität (C1) als Hochspannungskapazität mit dem Eingang der zweiten Inverterschaltung (6) des Spannungsempfängers (1) und dem Ausgang der ersten Inverterschaltung (5) des Spannungsempfängers (1) und dass der Ausgang der zweiten Inverterschaltung (4) des Spannungssenders (2) über eine zweite Kapazität (C2) als Hochspannungskapazität mit dem Eingang der ersten Inverterschaltung (5) des Spannungsempfängers (1) und dem Ausgang der zweiten Inverterschaltung (6) des Spannungsempfängers (1) zusammengeschaltet sind, dass die Eingänge der ersten Inverterschaltung (3) und der zweiten Inverterschaltung (4) jeweils des Spannungssenders (2) ein nicht invertierender und ein invertierender Eingang sind und dass die Ausgänge der ersten Inverterschaltung (5) und der zweiten Inverterschaltung (6) jeweils des Spannungsempfängers (1) Ausgangsknoten darstellen.

2. Schaltungsanordnung nach Patentanspruch 1,

dadurch gekennzeichnet,

dass eine dritte Inverterschaltung (15) zwischen die ersten und zweiten Anschlüsse (7/Vdd, 8/Vss) geschaltet ist, dass der Ausgang der dritten Inverterschaltung (15) mit dem Eingang der ersten Inverterschaltung (3) des Spannungssenders (2), dass der Eingang der dritten Inverterschaltung (15) mit dem Eingang der zweiten Inverterschaltung

WO 2004/032323

PCT/DE2003/003264

15

(4) des Spannungssenders (2) und dass der Eingang der dritten Inverterschaltung (15) mit dem Anschluss IN (16) als Eingang der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal zusammengeschaltet sind.

3. Schaltungsanordnung nach Patentanspruch 1,  
dadurch gekennzeichnet,

dass eine vierte Inverterschaltung (17) und eine fünfte Inverterschaltung (18) zwischen die dritten und vierten Anschlüsse (11/Vddh1, 12/Vddh2) geschaltet sind, dass der Eingang der vierten Inverterschaltung (17) mit dem Eingang der ersten Inverterschaltung (5) des Spannungsempfängers (1), dass der Eingang der fünften Inverterschaltung (18) mit dem Eingang der zweiten Inverterschaltung (6) des Spannungsempfängers (1), dass der Ausgang der vierten Inverterschaltung (17) mit dem Anschluss OUT1 (19) als erstem Ausgang des Spannungsempfängers (1) und dass der Ausgang der fünften Inverterschaltung (18) mit dem Anschluss OUT2 (20) als zweitem Ausgang des Spannungsempfängers (1) zusammengeschaltet sind.

4. Schaltungsanordnung nach den Patentansprüchen 1 bis 3,  
dadurch gekennzeichnet,

dass eine sechste Inverterschaltung (21) und eine siebente Inverterschaltung (22) zwischen die ersten und zweiten Anschlüsse (7/Vdd, 8/Vss) geschaltet sind, dass der Eingang der siebenten Inverterschaltung (22) mit dem Eingang der dritten Inverterschaltung (15) und mit dem Anschluss IN (16) als Eingang der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal, dass der Ausgang der siebenten Inverterschaltung (22) mit dem Eingang der sechsten Inverterschaltung (21) und dass der Ausgang der sechsten Inverterschaltung (21) mit dem Eingang der zweiten Inverterschaltung (4) des Spannungssenders (2) zusammengeschaltet sind.

5. Schaltungsanordnung nach den Patentansprüchen 1 bis 4,  
dadurch gekennzeichnet,

dass eine Inverterschaltung aus zwei in Reihe geschalteter komplementärer Transistoren besteht.

WO 2004/032323

PCT/DE2003/003264

16

6. Schaltungsanordnung nach Patentanspruch 1,

dadurch gekennzeichnet,

dass die erste Kapazität (C1) und die zweite Kapazität (C2) so zwischen dem Spannungssender (2) und dem Spannungsempfänger (1) geschaltet sind, dass die erste Kapazität (C1) und die zweite Kapazität (C2) jeweils als Hochspannungskapazität auf die zu überwindende Spannungsdifferenz zwischen dem Spannungssender (2) und dem Spannungsempfänger (1) aufgeladen werden und ihre Ladung anschließend lediglich um den Betrag  $\Delta Q = C \times (V_{dd} - V_{ss})$  zur Signalübertragung variiert, wobei der Leistungsverbrauch der Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal unabhängig von der zu überwindenden Spannungsdifferenz zwischen dem Spannungssender (2) und dem Spannungsempfänger (1) ist und gleichzeitig das angewandte Differentialprinzip (C1 wird um  $\Delta Q$  aufgeladen, C2 wird um  $\Delta Q$  entladen und umgekehrt) einen hohen Störabstand gegenüber Gleichtaktstörsignalen garantiert.

7. Schaltungsanordnung nach Patentanspruch 1,

dadurch gekennzeichnet,

dass die Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal als mit Halbleiterprozessen hergestellte integrierte Halbleiterschaltung zum Einen mit CMOS-Schaltungen als Inverterschaltungen und zum Anderen Schichtstapel mit Kanalstopper-Implantation, Feldoxid, Polysilizium, CVD-Oxid, Metall, CVD-Oxid, Metall usw., wobei die Schichten wechselseitig elektrisch verschalten sind, als erste Kapazität (C1) und als zweite Kapazität (C2) jeweils als Hochvoltkapazitäten realisiert ist.

8. Schaltungsanordnung nach den Patentansprüchen 1 bis 7,

dadurch gekennzeichnet,

dass der Spannungssender (2) ein Gebiet oder mehrere Gebiete (23a, 23b), dass die erste Kapazität (C1) ein Gebiet (24) und die zweite Kapazität (C2) ein Gebiet (25) und dass der Spannungsempfänger (1) ein Gebiet (26) des Halbleiterchips sind und dass wenigstens die Gebiete des Spannungssenders (2) oder des Spannungssenders (2) und des



WO 2004/032323

PCT/DE2003/003264

17

Spannungsempfängers (1) jeweils von Trenchgräben (27) zur Spannungs isolation umgeben sind.

9. Schaltungsanordnung nach den Patentansprüchen 1 bis 8,  
dadurch gekennzeichnet,

dass die Schaltungsanordnung zur Überbrückung hoher Spannungen mit einem Schaltsignal als mit Halbleiterprozessen für integrierte Hochvolt-Schaltungen mit beliebiger Isolation für den Spannungssender (2), die Hochvoltkapazitäten und den Spannungsempfänger (1) hergestellte integrierte Halbleiterschaltungen realisiert ist.